

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-174431

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H02M 3/28
H02M 7/21

(21)Application number : 08-331808

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 12.12.1996

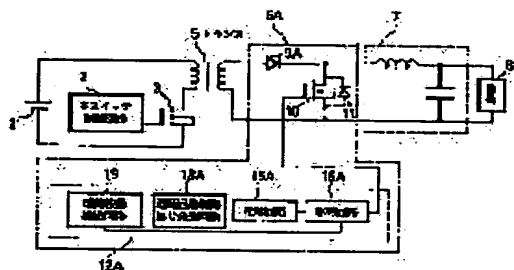
(72)Inventor : MURATA NORITAKA

(54) SYNCHRONOUS RECTIFIER AND SWITCHING POWER SUPPLY CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a circuit configuration and to simplify the setting of a potential as a criterion by determining the continuation time of one pulse for a field effect transistor according to the detection result of the shift of the gate electric charge of the field effect transistor.

SOLUTION: An electric charge traveling detection circuit 19, connected to a drive circuit 16A detects the shift of a gate electric charge, when a MOSFET 10 is turned off. Then, an electric charge change traveling detection circuit 19 judges whether or not the move of a gate change exists, when the application voltage of a MOSFET 8 is at a lower potential. Further, the electric charge traveling detection circuit 19 transmits delay time information to a delay circuit 15A, via a delay circuit control signal generating circuit 18A. The delay circuit 15A changes the pulse width of a drive signal according to a signal received from the delay circuit control signal generation circuit 18A, thus controlling the MOSFET 10 and eliminating current that flows through a body diode 11, the recovery loss the MOSFET 10, and a loss due to an inverse current of a channel.



LEGAL STATUS

[Date of request for examination] 31.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3226470

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 1 7 4 4 3 1

(43) 公開日 平成10年(1998)6月26日

(51) Int. Cl.⁶

識別記号

F I

H 0 2 M 3/28
7/21

H 0 2 M 3/28 F
7/21 A

審査請求 未請求 請求項の数 4

O L

(全 1 1 頁)

(21) 出願番号 特願平8-331808

(22) 出願日 平成8年(1996)12月12日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 村田 典隆

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

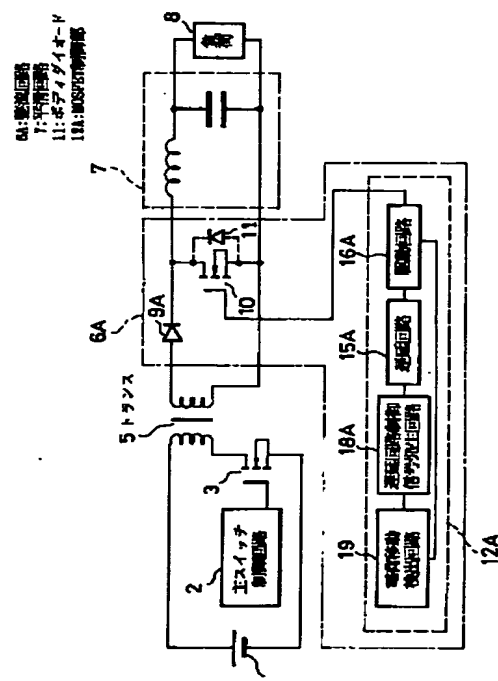
(74) 代理人 弁理士 工藤 宣幸

(54) 【発明の名称】 同期整流回路及びスイッチング電源回路

(57) 【要約】

【課題】 3段階のタイミング判定を行っているため、回路構成が複雑で、判定基準も厳密な設定が必要であった。

【解決手段】 電界効果トランジスタのゲート電荷の移動を検出する検出手段と、検出手段の検出結果により、電界効果トランジスタに対する駆動信号の1パルスの継続時間を決定し、電界効果トランジスタを制御する制御手段とによって同期整流回路を構成する。



【特許請求の範囲】

【請求項 1】 電界効果トランジスタを用いた同期整流回路において、
上記電界効果トランジスタのゲート電荷の移動を検出する検出手段と、
上記検出手段の検出結果により、上記電界効果トランジスタに対する駆動信号の 1 パルスの継続時間を決定し、
上記電界効果トランジスタを制御する制御手段とを備えたことを特徴とする同期整流回路。

【請求項 2】 上記検出手段は、上記電界効果トランジスタのゲートに蓄積された電荷の引き抜き時に生じる当該電界効果トランジスタの電圧又は電流の変化と、他の素子又は自身の電圧又は電流とを比較し、上記電界効果トランジスタのターンオフのタイミングが所望のものより早いか又は遅いかを判断することにより、上記電界効果トランジスタのゲート電荷の移動を検出することを特徴とする請求項 1 に記載の同期整流回路。

【請求項 3】 上記制御手段は、上記 1 パルスの継続時間が所定の時間より短いときは、上記電界効果トランジスタを停止することを特徴とする請求項 1 に記載の同期整流回路。

【請求項 4】 整流回路に同期整流回路を用いたスイッチング電源回路において、
電源と、
上記電源から供給される電流を整流又は転流する電界効果トランジスタと、
請求項 1 ～請求項 3 のいずれかに記載の同期整流回路とを備えたことを特徴とするスイッチング電源。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング電源回路及び同期整流回路に関し、特に、電界効果トランジスタ（以下、FET という）を整流素子として有する同期整流回路及びこれを用いたスイッチング電源回路に関するものである。

【0002】

【従来の技術】この種のスイッチング電源回路及び同期整流回路に関する従来技術を示す文献として、「特開平 4 - 1 2 7 8 6 9 号公報」がある。図 2 に、当該公報に係るスイッチング電源回路を示す。スイッチング電源回路は、入力電圧源 1 をスイッチングしてトランス 5 の 1 次側に高周波信号を印加する 1 次側回路部と、トランス 5 の 2 次側に誘起された高周波信号から所望の直流電圧を得る 2 次側回路部とからなる。ここで、2 次側回路部は、整流回路 6 と平滑回路 7 とからなり、整流回路 6 によって同期整流された高周波信号を平滑回路 7 で平滑することにより、所望の直流電圧を得ている。

【0003】なお、整流回路 6 は、整流用 MOSFET 9 と、フライホイール用 MOSFET 10 と、MOSFET 制御部 12 とからなる。このうち、MOSFET 制

御部 12 は、主スイッチ制御回路 2 から取り込んだ入力パルス信号に基づいて駆動信号を生成し、MOSFET 10 をオン／オフ制御している。ここで、MOSFET 制御部 12 は、MOSFET 10 のゲート電圧がフォールダウンするときのドレイン電圧をタイミング判定回路 17 で検出し、さらにその検出結果に基づいて、切替サイクルにおけるオン／オフ切替タイミングが「適正」状態であるか、「早い」状態であるか、「遅い」状態であるか遅延回路制御信号発生回路 18 で判定することにより、遅延回路 15 における遅延時間を適正に変化させている。

【0004】

【発明が解決しようとする課題】しかしながら、上記構成の整流回路 6 においては、3 段階のタイミング判定を行っているため、回路構成が複雑になるばかりでなく、判定基準となる電位の設定値によって特性が異なるため、判定基準の電位をシビアに設定しなければならない問題があった。これにより、ノイズマージンに対する不安や量産時の特性のばらつきに問題が生じていた。

【0005】また、整流回路 6 は、基本となるパルス信号をトランス 5 の 1 次側回路部より取り出しているため、絶縁を考慮した設計を行なう必要や配線の引き回しが困難であるという問題点があった。

【0006】さらに、負荷電流の大きさに依らず、常に FET を制御しているため、使用する FET の種類や動作周波数によっては、負荷電流が小さいにもかかわらず、FET を駆動するために比較的大きな駆動電力が必要となり、整流効率が悪化するという問題点があった。

【0007】

【課題を解決するための手段】かかる課題を解決するため、第 1 の発明においては、電界効果トランジスタを用いた同期整流回路において、以下の手段を備えたことを特徴とする。

【0008】すなわち、(1) 電界効果トランジスタのゲート電荷の移動を検出する検出手段と、(2) 検出手段の検出結果により、電界効果トランジスタに対する駆動信号の 1 パルスの継続時間を決定し、電界効果トランジスタを制御する制御手段とを備えるようにする。

【0009】また、第 2 の発明においては、整流回路に同期整流回路を用いたスイッチング電源回路において、以下の手段を備えたことを特徴とする。

【0010】すなわち、(1) 電源と、(2) 電源から供給される電流を整流又は転流する電界効果トランジスタと、(3) 請求項 1 ～請求項 3 のいずれかに記載の同期整流回路とを備えるようにする。

【0011】このように、第 1 及び第 2 の発明における同期整流回路は、駆動対象である電界効果トランジスタにおけるゲート電荷の移動の有無を検出し、その検出結果に基づいて、駆動信号の 1 パルスの継続時間を決定する。

【0012】

【発明の実施の形態】

(A) 第1の実施形態

以下、本発明に係る同期整流回路と、これを用いるスイッチング電源回路の第1の実施形態を説明する。

【0013】本発明は、FETを整流素子として用いる同期整流回路において、FETからゲート電荷を引き抜くのに使用される回路ループに生じる電気的変化、すなわちターンオフ時におけるゲート電荷の移動（電流）自身又はそれによって生じる電圧を検出し、その検出結果に基づいてFETの駆動信号におけるパルス幅を変化させる制御部についてのものである。なお、ゲート電荷の移動を直接又は間接的に検出するのは、FETが電荷制御素子であるためである。

【0014】(A-1) 第1の実施形態の構成

図1は、第1の実施形態に係るスイッチング電源回路の全体構成を示すブロック図である。なお、図1には、図2との同一、対応部分に同一、対応符号を付して示してある。

【0015】この実施形態に係るスイッチング電源回路の場合も、入力電圧源1をスイッチングしてトランス5の1次側に高周波信号を印加する1次側回路部と、トランス5の2次側に誘起された高周波信号から所望の直流電圧を得る2次側回路部との2つの回路部を基本構成とする。

【0016】1次側回路部は、入力電圧源1と、主スイッチ制御回路2と、主スイッチ3からなる。ここで主スイッチ3は、トランス5の一次側に入力電圧源1と直列に接続されている。主スイッチ3は、主スイッチ制御回路2から出力される高周波の駆動信号によりオン/オフされ、高周波の電圧を、トランス5の1次側に印加する。

【0017】一方、2次側回路部は、整流回路6Aと平滑回路7からなる。整流回路6Aは、トランス5の2次側に接続されており、FET又はダイオード9Aを用いて、トランス5の2次側に誘起された高周波の電流を整流している。整流回路6Aの出力は、チョークコイルや容量などで構成される平滑回路7に接続されて平滑され、所定の直流電力として負荷8に供給される。

【0018】次に、整流回路6Aの具体的な構成を説明する。MOSFET10のソースは、トランス5の2次側の一端に接続され、そのドレインは、整流用ダイオード9Aのカソードに接続されている。MOSFET制御部12A（以下、制御部12Aという）は、MOSFET10のゲートと接続されている。MOSFET10は、リカバリ損失及びチャネルの逆方向電流による損失のない同期整流を行うため、制御部12により駆動制御されている。

【0019】制御部12Aの詳細な構成を、以下さらに説明する。制御部12Aは、遅延回路15A、駆動回路

16A、電荷移動検出回路19、遅延回路制御信号発生回路18Aから構成されている。ここで、電荷移動検出回路19は、駆動回路16Aと接続されている。これにより、電荷移動検出回路19が、MOSFET10のゲート電荷引き抜きの回路ループを監視し、電荷の移動（電流）自身又はそれに伴う電圧の変化を検出する。なお、電荷移動に伴う電圧の変化については、後に詳細に説明する。電荷移動検出回路19の出力は、遅延回路制御信号発生回路18Aに送出される。遅延回路制御信号発生回路18Aは、電荷移動検出回路19の出力信号に応じた遅延時間を持つ信号を、遅延回路15Aに送出する。遅延回路15Aは、遅延回路制御信号発生回路18Aに接続されており、遅延回路制御信号発生回路18Aの信号を受けて、駆動信号を生成する。この駆動信号は、駆動回路16Aを介して、MOSFET10のゲートに入力され、MOSFET10をオン/オフ制御する。

【0020】(A-2) 第1の実施形態の動作

(A-2-1) 動作原理

次に、以上の構成を有する実施形態に係るスイッチング電源回路における整流回路6Aの動作原理を説明する。まず、FETのゲート電荷移動による電圧の発生について説明する。

【0021】一般に、FETを駆動する場合、その駆動回路から見たFETは、容量性の負荷となる。このため、直流的に電流が流れるのではなく、ゲートの寄生容量分を充電（又は放電）するときのみ電荷の移動がある。この電荷の移動は、電荷の移動ループ内のインダクタンス（寄生も含む）によって、 $L \cdot di/dt$ の電圧を発生させる。また、抵抗（寄生も含む）によって、 $R \cdot dq/dt$ の電圧を発生させる。従って、FETを最適に制御するためには、ドレイン電流がゼロとなるときに、FETがターンオフするようにゲート電荷の引き抜きが行われるように制御しなければならない。

【0022】そこでまず、図1の駆動回路16Aのドレインに接続された電荷移動検出回路19が、MOSFET10がターンオフするときにおけるゲート電荷の移動を検出する。次に、電荷移動検出回路19が、MOSFET10の印加電圧VDSが低電位時にゲート電荷の移動が存在するか判断する。さらに、電荷移動検出回路19は、遅延回路制御信号発生回路18Aを介して、適切な遅延時間情報を遅延回路15Aに送出する。

【0023】ここで遅延時間とは、MOSFET10のゲート電圧が「H」から「L」に落ちた時点から実際に電荷の引き抜きが完了するまでの時間である。遅延回路15Aは、遅延回路制御信号発生回路18Aから受信した信号により、駆動信号のパルス幅を適正に変化させる。以上の制御により、MOSFET10が適正に制御され、ボディダイオード10に流れる電流、MOSFET10のリカバリ損失、及びチャネルの逆方向電流によ

る損失が無くなる。

【0024】(A-2-2) 動作内容

次に、図1の実施形態に係るスイッチング電源回路における整流回路6Aの動作内容を詳細に説明する。

【0025】まず、スイッチング電源回路の起動時、MOSFET10のVDSが低電位である時は、ゲート電荷引き抜きによる電圧は発生しない。これは、ゲート電荷の引き抜きが、VDSが高電位にある時に行われるからである。しかしながら、MOSFET10は、VDSが低電位時であっても、次第に、ゲート電荷引き抜きによる電圧が発生するようになる。これは、遅延回路制御信号発生回路18Aが徐々に遅延時間を増大させる方向に、遅延時間の制御電圧又は電流を変化させているためである。

【0026】電荷移動検出回路19は、VDSが低電位の時にゲート電荷の引き抜きが行われたことを検出すると、遅延回路制御信号発生回路18Aへ信号を送出する。遅延回路制御信号発生回路18Aは、電荷移動検出回路19から当該信号が入力されると、遅延時間を減少する方向に遅延時間の制御電圧又は電流を変化させる。かくして、遅延回路15Aは、遅延時間制御信号に応じたパルス幅を持つ駆動信号を駆動回路16Aに送出する。そして、駆動回路16Aは、その駆動信号を増幅してMOSFET10を駆動する。これによって、MOSFET10は、再びVDSが高電位の時のみに電荷引き抜きが行われるように動作する。

【0027】再び、MOSFET10が、VDSが高電位の時に電荷の引き抜きが行われるようになると、遅延回路制御信号発生回路18Aは、徐々に遅延時間を増大する方向に、遅延時間の制御電圧又は電流を変化させるようになる。以上の動作を繰り返すことによって、常にMOSFET10は、最適な制御を受けることになる。

【0028】(A-3) 回路例

(A-3-1) 回路例の構成

図3は、第1の実施形態に係るスイッチング電源回路の具体的な回路例を示したものである。

【0029】まず、電荷移動検出回路19の回路構成を説明する。この回路では、引き抜き電圧の発生を抵抗R1で検出し、VDSの電位状態をインバータIC1で検出する。

【0030】このため、抵抗R1の一端をコンデンサC1の一端に接続し、他端を接地（以下、GNDという）に接続する。また、コンデンサC1の他端を抵抗R2の一端に接続し、当該抵抗R2の他端を介して電圧源+V(t)に接続する。そして、コンデンサC1と抵抗R2の接続中点を抵抗R5の一端と論理積(NAND)IC2の入力端子に接続する。なお、抵抗R5の他端はGNDに接続しておく。これにより、NANDIC2の入力端子には(A点)、ゲート電荷の引き抜きによって生じる電圧がコンデンサC1を介して現れる。

【0031】また、抵抗R4の一端を抵抗R3の一端に接続すると共に、抵抗R3と抵抗R4の接続中点をインバータIC1の入力端子に接続する。なお、抵抗R4の他端はGNDに接続しておき、抵抗R3の他端はMOSFET10のドレインに接続しておく。インバータIC1の出力端子は、NANDIC2の他方の入力端子に接続する。これにより、インバータIC1の出力には(B点)、VDSの分圧電圧を反転した電圧が現れる。

【0032】次に、遅延回路制御信号発生回路18Aの回路構成を説明する。ダイオードD3のカソードを、電荷移動検出回路19の出力であるNANDIC2の出力端子(C点)に接続し、ダイオードD3のアノードを抵抗R6の一端に接続する。また、この抵抗R6の他端をコンデンサC2と抵抗R7の接続中点(D点)に接続する。なお、コンデンサC2の他端はGNDに接続し、抵抗R7の他端は電圧源+V(t)に接続しておく。このコンデンサC2に現れる電位が遅延回路制御信号発生回路18Aの出力となる。なお、コンデンサC2は、抵抗R7とコンデンサC2によって定まる時定数により充電され、抵抗R6とコンデンサC2によって定まる時定数により放電される。

【0033】さらに、遅延回路15Aの回路構成を説明する。コンパレータIC4のマイナス入力端子に、遅延回路制御信号発生回路18Aの出力端子(D点)を接続する。また、コンパレータIC4のプラス入力端子に、抵抗R8とコンデンサC3の接続中点(E点)を接続する。なお、当該接続中点には、アノードがGNDに接続されているダイオードD4のカソードを接続しておく。前述のコンデンサC3の他端には、インバータIC3の出力端子を接続する。ここで、インバータIC3の入力端子は、MOSFET10のドレインに接続しておく。これにより、コンパレータIC4のプラス入力端子(E点)には、MOSFET10のオンと同時に、抵抗R8とコンデンサC3で定まる時定数で電位が低下する電圧が発生する。

【0034】最後に、駆動回路16Aの回路構成を説明する。この駆動回路16Aのゲート電荷引き抜き線は、電荷移動検出回路19の抵抗R1とコンデンサC1の接続中点に接続される。また、駆動回路16Aの出力端子は、MOSFET10のゲートに接続される。

【0035】(A-3-2) 回路例の動作

以下、図4に示す各部の動作波形に基づいて、図3に示す具体的な回路例による動作を説明する。

【0036】スイッチング電源の起動時、MOSFET10は、VDSが高電位時にのみゲート電荷の引き抜きにより発生する電圧（以下、引き抜き電圧と呼ぶ）が存在する状態にある。このため、電荷移動検出回路19の出力点Cは高電位を保つ。このとき、コンデンサC2は抵抗R7との時定数に基づいて充電され、点Dの電位は次第に上昇していく。その結果、点Eの電位が点Dの電位

より上回っている時間は、徐々に短くなっていく。

【0037】このため、コンパレータIC4は、幅が徐々に狭くなるパルスを出力することになる。このパルス幅がより狭いパルスは、より長い遅延時間を持つ信号となる。この制御信号が、駆動回路16Aを介してMOSFET10を駆動する。なお、駆動回路16AがMOSFET10を駆動するとき、特に、MOSFET10をオフするためにゲート電荷を引き抜くときには、ゲート電荷の移動に伴って、抵抗R1の両端に $R \cdot dq/dt$ で与えられる電圧（図4の点Aに示すパルス波形）が発生される。

【0038】やがて、コンデンサC2に対する充電により、点Dの電位がある電位より高い電位を発生するようになると、MOSFET10のVDSが低電位である場合にも引き抜き電圧（図4の点Aに示すパルス波形）が現れるようになる。このとき、電荷移動検出回路19のNANDIC2の入力には、共に「H」レベルが入力されることになり、その出力端子の電位が低電位となる。これにより、それまで充電されるだけであったコンデンサC2から、当該コンデンサC2と抵抗R6とで定まる時定数で電荷が放電されるようになる。

【0039】これにより、点Dの電位は下降する。点Dの電位が下降すれば、遅延回路15Aは、上記遅延時間が減少する方向に制御信号を出力する（図4の場合、遅延時間がTからT1になる）。なおこのとき、点Dの電位は、VDSが高電位時にのみMOSFET10が引き抜き電圧を発生するようになるまで下降する。そして、MOSFET10がVDSの高電位時にのみ引き抜き電圧を発生させるようになると、再び点Dの電位は上昇を開始する。その結果、上記の動作が繰り返されることになる。なお、充電による時定数を大きくとるため、抵抗R6は、抵抗R7より小さく設定すると良い。

【0040】（A-4）第1の実施形態の効果
以上のように、第1の実施形態によれば、MOSFET10の動作状態を、VDSが低電位時における引き抜き電圧の有無によって（すなわち2段階で）判定でき、その分、回路構成を簡素化することができる。

【0041】また、従来回路のように基本信号をトランス5の1次側から引き込むような構成を用いないため、従来のように絶縁の心配や配線引き回しの困難を排除することができる。

【0042】（B）第2の実施形態

以下、本発明に係る同期整流回路と、これを用いるスイッチング電源回路の第2の実施形態を説明する。この第2の実施形態は、第1の実施形態において説明した同期整流回路に対して、負荷電流の大きさによっては必要に応じて、MOSFET10の駆動信号を停止する機能を付加した点を異にするものである。

【0043】（B-1）第2の実施形態の構成及び動作
図5は、第2の実施形態に係るスイッチング電源回路の

全体構成を示すブロック図である。図5から分かるように、第2の実施形態は、図1において説明した電荷移動検出回路19に対して入力端子を追加し、これをMOSFET10のドレインに接続した点のみが異なる。従って、ここでは、相違点に係る電荷移動検出回路19Aの動作についてのみ説明する。

【0044】このように第2の実施形態において追加された電荷移動検出回路19Aの入力端子は、MOSFET10のドレインに接続されており、VDSを監視するのに用いられる。すなわち、この電荷移動検出回路19Aは、MOSFET10のVDSが低電位の時にゲート電荷の移動が存在するか否かを判断するものである。

【0045】通常、電荷移動検出回路19Aは、この判定結果を出力として遅延回路制御信号発生回路18Aに送出する。

【0046】しかし、この実施形態に係る電荷移動検出回路19は、負荷電流が小さくなって電流不連続モードになると（チョークコイル（平滑回路7内）が主スイッチ3がオンの間に蓄えたエネルギーを主スイッチ3のオフの間に放出しきる負荷電流領域になると）、それまでMOSFET10が実行していたVDSが低電位時におけるゲート電荷の移動の有無の判定を停止し、判定結果を送出しないように動作する。その結果、MOSFET10に対する駆動信号はなくなり、MOSFET10は、常にオフの状態となる。

【0047】かかる後、やがて再び負荷電流が電流連続モードになると（チョークコイル（平滑回路7内）が主スイッチ3がオンの間に蓄えたエネルギーが、主スイッチ3がオフの間に放出しきらなくなる負荷電流領域になると）、電荷移動検出回路19は、再び、MOSFET10のVDSが低電位の時におけるゲート電荷の移動の有無の判定を開始し、駆動回路16Aは、MOSFET10に対して駆動信号を送出し始める。

【0048】（B-2）回路例

図5は、第2の実施形態に係るスイッチング電源回路の具体的な回路例を示したものである。ただし、この回路例についても、第1の実施形態と異なる部分についてのみ、すなわち、電荷移動検出回路19Aについてののみ、その構成と動作を説明する。従って、その他の部分の構成及び動作は同じである。

【0049】（B-2-1）回路例の構成

この回路では、引き抜き電圧又はそれと同様の電圧の発生をトランジスタQ1及び抵抗R10で検出し、また、VDSの電位状態を積分器（抵抗R11、コンデンサC4）及びコンパレータIC5で検出し、そのうちターンオフ時に生じた引き抜き電圧の発生を論理和（OR）IC6によって抽出する。

【0050】このため、ダイオードD5のアノードをMOSFET10のドレインに接続し、その接続中点にトランジスタQ1のエミッタを接続する。また、ダイオー

ドD5のカソードをトランジスタQ1のベースに接続し、その接続中点を抵抗R9の一端に接続する。ここで、抵抗R9の他端には、インダクタL1の一端を接続し、その他端をGNDに接続しておく。さらに、トランジスタQ1のコレクタをダイオードD6及び抵抗R10を介して電圧源+V(t)に接続し、ダイオードD6のアノードと抵抗R10の接続中点をORIC6の一方の入力端子(A点)に接続しておく。これにより、ORIC6の入力端子には(A点)、ゲート電荷の引き抜きによって生じる電圧が検出され現れる。

【0051】また、抵抗R11の一端をMOSFET10のドレインに接続すると共に、この抵抗R11の他端をコンデンサC4の一端に接続する。なお、コンデンサC4の他端はGNDに接続しておく。そして、抵抗R11とコンデンサC4の接続中点をコンパレータIC5のプラス入力端子に接続する。一方、コンパレータIC5のマイナス入力端子には電圧源V1を接続しておく。ここで、コンパレータIC5のプラス入力端子には、抵抗R11とコンデンサC4の時定数だけ遅延した電圧の波形が現れる。これにより、コンパレータIC5の出力端(B点)には、MOSFET10のターンオフから所定時間遅延した後立ち上がり、ターンオン後も一定時間所定時間立ち上がったままの電圧が現れる。

【0052】さらに、論理和(OR)IC6の出力端子は、次段に位置する遅延回路制御信号発生回路18Aを構成するダイオードD3のカソードに接続される。

【0053】(B-2-2)回路例の動作
以下、図7に示す各部の動作波形に基づいて、図6に示す具体的回路例による動作を説明する。

【0054】スイッチング電源の起動時、MOSFET10は、VDSが高電位時にもみ引き抜き電圧が存在する状態にある。このため、電荷移動検出回路19Aの出力点Cは高電位を保つ。コンデンサC2は抵抗R7との時定数で充電され、点Dの電位が次第に上昇していく。その結果、点Eの電位が点Dの電位より上回っている時間は、徐々に短くなっていく。

【0055】このため、コンパレータIC4は、幅が徐々に狭くなるパルスを出力することになる。このパルス幅がより狭いパルスは、より長い遅延時間を持つ信号となる。この制御信号が、駆動回路16Aを介してMOSFET10を駆動する。なお、駆動回路16AがMOSFET10を駆動するとき、特に、MOSFET10をオフするためにゲート電荷の引き抜くときには、ゲート電荷の移動に伴って、インダクタL1の両端にL・di/dtで与えられる電圧が発生される。

【0056】やがて、コンデンサC2に対する充電により、点Dの電位がある電位より高い電位が発生するようになると、MOSFET10のVDSが低電位である場合にも引き抜き電圧が現れるようになる。本来、この引き抜き電圧によってダイオードD3、抵抗R6を介して、

点Dの電位を下降させるが、実際の回路では、スイッチング時のノイズによってMOSFET10のターンオン時にも引き抜き電圧と同様の電圧が得られる。

【0057】このため、コンパレータIC5とORIC6を用いることによって、所望の電圧のみを選別する。これによって、引き抜き電圧時にのみコンデンサC2の電荷を抵抗R6との時定数によって放電することができる。その結果、点Dの電位は下降することになる。

【0058】これに対して、負荷電流が小さくなり、電流不連続モードになると、MOSFET10のドレイン電流の向きが電流連続モードと異なり、ドレインからソースに流れる。このドレイン電流の流れは、ゲート電荷の引き抜きの方向とは反対であることから多少打ち消され、引き抜き電圧は電流連続モードと比較して、小さくなる。そこで、電荷移動検出回路19内の抵抗R9を大きく設定することにより、トランジスタQ1がオンしないようにしておく。これにより、負荷電流が小さいときの引き抜き電圧の検出を停止させるようにする。かくして、電荷移動検出回路19Aの引き抜き電圧は全く送出されなくなり、コンデンサC2の電位点Dは抵抗R7による充電によって上昇を続ける。

【0059】やがて、点Dが点Eのピークより高くなると、コンパレータIC4の出力は低電位を保つ。この結果、駆動回路16Aの出力も低電位となり、MOSFET10は電流連続モードになり、次に引き抜き電圧が発生するまでオフ状態を維持する。なお、充電による時定数を大きくするため、この場合も抵抗R6は、抵抗R7より小さく設定すると良い。

【0060】(B-3)第2の実施形態の効果

以上のように、第2の実施形態によれば、第1の実施形態の場合と同様、VDSが低電位時における引き抜き電圧の有無によって(すなわち2段階で)判定でき、その分、回路構成を簡素化することができると共に、軽負荷時にMOSFET10の駆動を停止でき、軽負荷時の効率を高めることができる。

【0061】(C)他の実施形態

(1)なお、上述の第1の実施形態に係るスイッチング電源回路の具体的回路例として図3を示したが、これはあくまでも一例を示したに過ぎず、電荷移動の検出抵抗R1の代わりに、カレントトランス、インダクタを用いたり、他の素子やパターン等の抵抗成分、インダクタ成分を用いても良い。また、電荷移動の検出信号(点A)は、NANDで受けなくても、BJT、コンパレータ等で受けても良い。

【0062】(2)また、同様に、上述の第2の実施形態に係るスイッチング電源回路の具体的回路例として図5を示したが、これはあくまでも一例を示したに過ぎず、電荷移動の検出抵抗インダクタL1の代わりに、カレントトランス、抵抗を用いたり、他の素子やパターン等の抵抗成分、インダクタ成分を用いることも可能であ

る。また、抵抗R9を小さく設定すれば、軽負荷時にもMOSFET10の駆動を行うことができるため、動作条件、要求条件等によっては、軽負荷時のMOSFET10の動作を切り換える使用方法も可能である。

【0063】(3) さらに、上述の第1及び第2の実施形態においては、遅延回路制御信号発生回路18Aが、遅延時間を徐々に増大させる方向に遅延時間の制御電圧を変化させる場合について述べたが、これに限るものではなく、徐々に遅延時間を減少させる方向に制御しても良い。また、遅延回路制御信号発生回路18Aにおける遅延時間の制御は、電圧に限らず電流でも良い。

【0064】(4) さらに、上述の第1及び第2の実施形態においては、検出した電荷移動による電圧をそのまま使用して駆動パルスを形成したが、要求される特性や用途によっては、ワンショットマルチバイブレータ等でパルスの幅を加工するようにしても良い。

【0065】(5) さらに、上述の実施形態においては、電圧源+V(t)として直流電圧を用いる場合について述べたが、これに限らず、パルス電圧等でも良い。また、この電圧源+V(t)を、電荷移動検出回路19

(又は19A)と遅延回路制御信号発生回路18Aで共用する場合について述べたが、これに限らず、共用しなくても良い。

【0066】(6) 上述したように、各部について適用し得る他の実施形態について述べたが、それぞれブロック図である図1及び図5と同機能の回路構成となれば、他の回路での実現も可能である。

【0067】

【発明の効果】 上述のように、本発明によれば、判定基

準を、駆動対象である電界効果トランジスタにおけるゲート電荷の移動の有無の2段階とし、その検出結果に基づいて、駆動信号の1パルスの継続時間を決定するようにしたことにより、従来に比して回路構成が簡単で済む同期整流回路及びスイッチング電源回路を実現できる。

【図面の簡単な説明】

【図1】 第1の実施形態の構成を示すブロック図である。

【図2】 従来の構成を示すブロック図である。

【図3】 第1の実施形態の具体的な回路例を示す回路図である。

【図4】 図3に示す回路例における各部の動作波形を示す信号波形図である。

【図5】 第2の実施形態の構成を示すブロック図である。

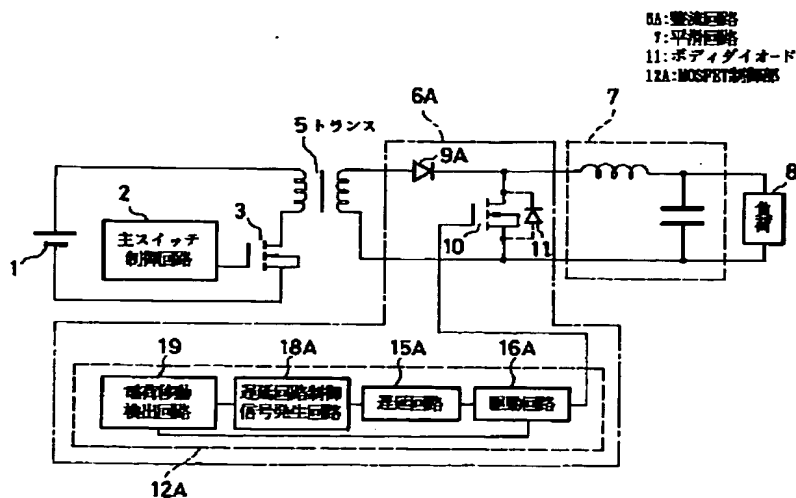
【図6】 第2の実施形態の具体的な回路例を示す回路図である。

【図7】 図6に示す回路例における各部の動作波形を示す信号波形図である。

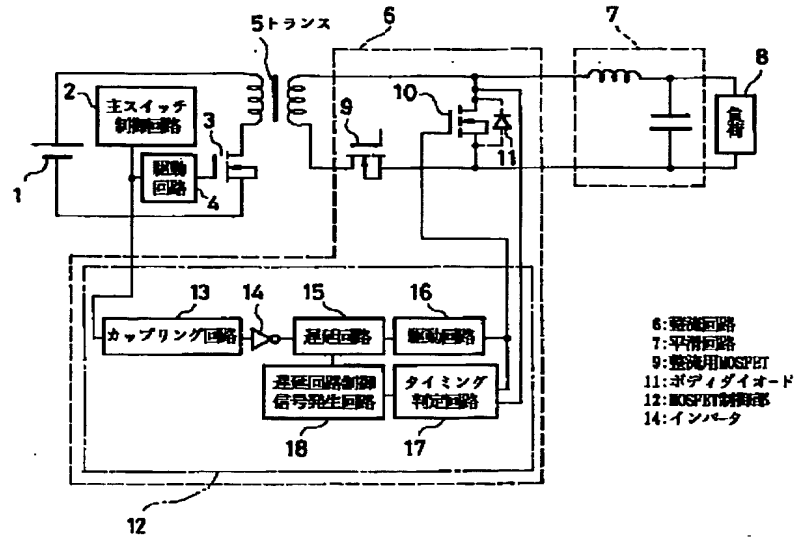
【符号の説明】

1…入力電圧源、2…主スイッチ制御回路、3…主スイッチ、5…トランス、6…整流回路、7…平滑回路、8…負荷、9A…整流用ダイオード、10…フライホイール用MOSFET、11…フライホイール用MOSFET10のボディダイオード、12A…フライホイール用MOSFET10の制御部、15A…遅延回路、16A…駆動回路、18A…遅延回路制御信号発生回路、19、19A…電荷移動検出回路。

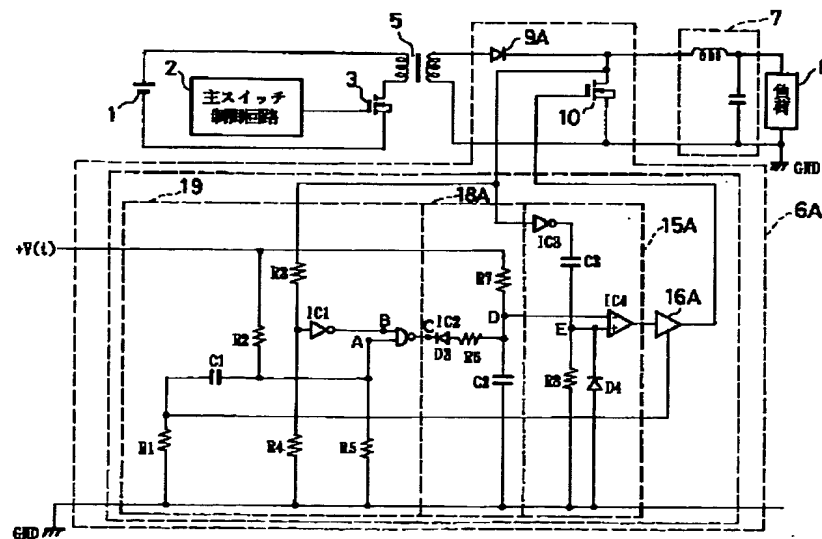
【図1】



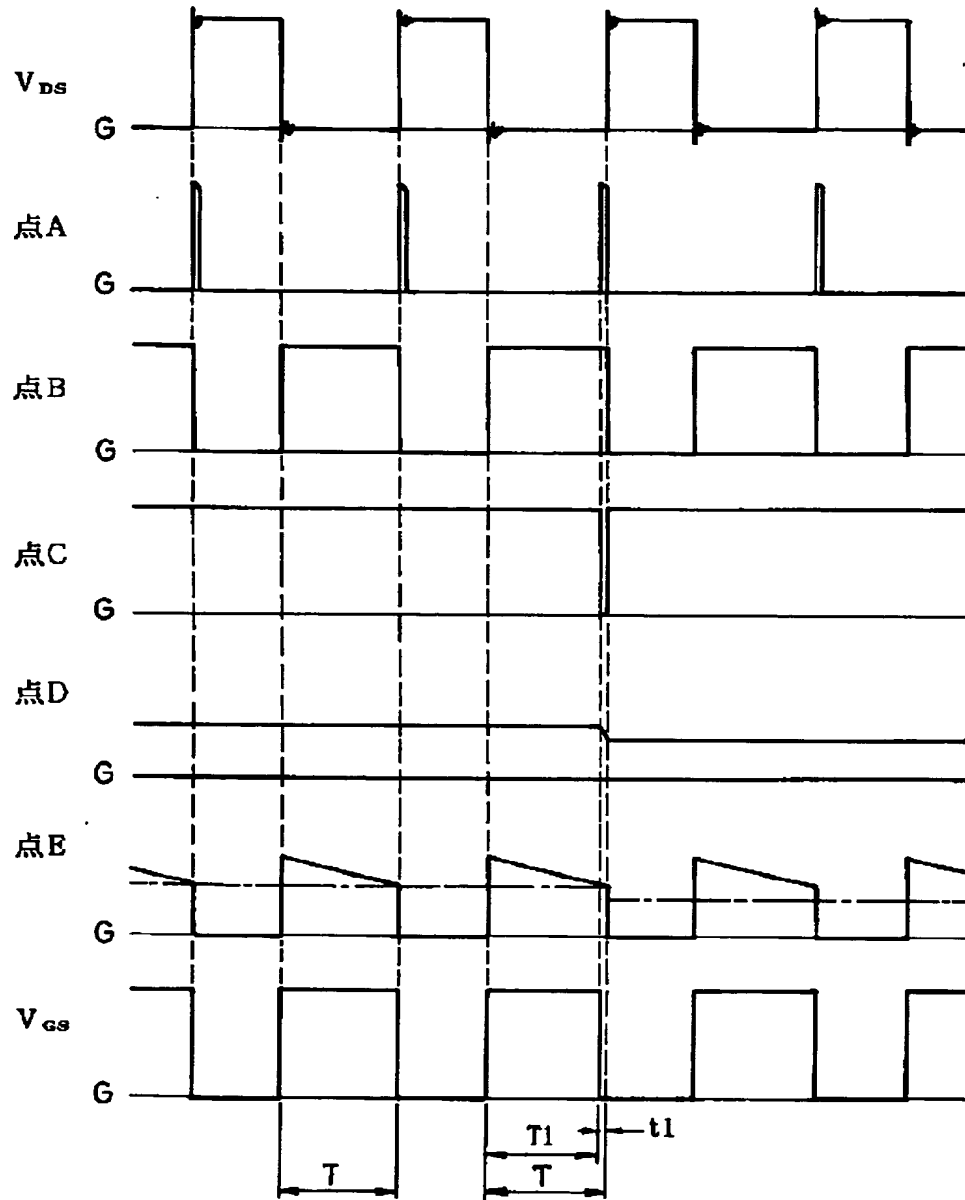
【図2】



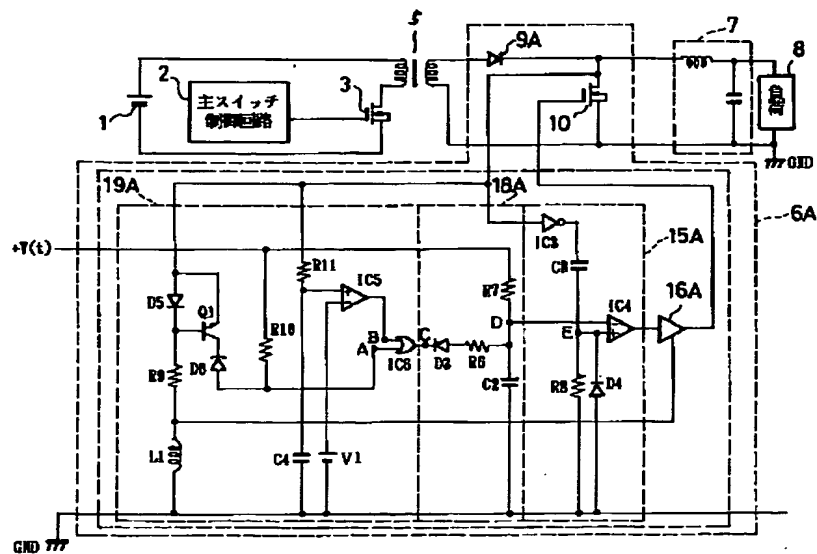
【図3】



【図 4】



8A: 監査部
7: 平清部
11: ボディダイオード
12A: MOSFET制御部



【図 7】

